

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 9 月 22 日 (22.09.2005)

PCT

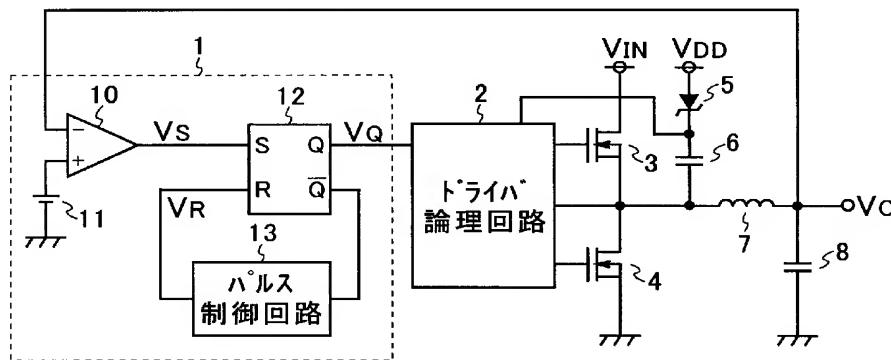
(10) 国際公開番号
WO 2005/088818 A1

- (51) 国際特許分類: H02M 3/155
(21) 国際出願番号: PCT/JP2005/004055
(22) 国際出願日: 2005 年 3 月 9 日 (09.03.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-074568 2004 年 3 月 16 日 (16.03.2004) JP
特願 2004-297961
2004 年 10 月 12 日 (12.10.2004) JP
特願2005-063821 2005 年 3 月 8 日 (08.03.2005) JP
(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 酒井 優 (SAKAI, Masaru) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 梅本 清貴 (UMEMOTO, Kiyotaka) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 蜂谷 尚悟 (HACHIYA, Shogo) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
(74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒5400032 大阪府大阪府中央区天満橋京町 2-6 天満橋八千代ビル別館 Osaka (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SWITCHING REGULATOR

(54) 発明の名称: スイッチングレギュレータ



13... PULSE CONTROL CIRCUIT
2... DRIVER LOGIC CIRCUIT

(57) Abstract: A control signal generating circuit (1) comprises a comparator (10) for comparing an output voltage V_O with a reference voltage outputted from a reference voltage source (11), a flip-flop (12) set by the output of the comparator (10), and a pulse control circuit (13) which receives an input voltage V_{IN} , a reference voltage V_{REF2} , and the inverted output of the flip-flop (12), sets the on time in accordance with the ratio between the input voltage V_{IN} and the reference voltage V_{REF2} , and resets the flip-flop (12) when the on time elapses after the output pulse of the flip-flop (12) rises. The output pulse of the flip-flop (12) is outputted as a control signal into a driver logic circuit (2). The driver logic circuit (2) performs on/off control of NMOSs (3, 4) according to the control signal. Thus, a switching regulator capable of operating at high speed can be realized.

(57) 要約: 制御信号生成回路 1 は、出力電圧 V_O と基準電圧源 11 から出力される基準電圧とを比較する比較器 10 と、比較器 10 の出力によってセットされるフリップフロ

[続葉有]



WO 2005/088818 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ップ12と、入力電圧 V_{IN} 、基準電圧 V_{REF2} 、及びフリップフロップ12の反転出力を入力し、入力電圧 V_{IN} と基準電圧 V_{REF2} との比に応じてオン期間を設定し、フリップフロップ12の出力パルスが立ち上がってから前記オン期間が経過するとフリップフロップ12をリセットするパルス制御回路13と、を備え、フリップフロップ12の出力パルスを制御信号としてドライバ論理回路2に出力する。ドライバ論理回路2は、前記制御信号に基づいてNMOS3及び4をオン／オフ制御する。これにより、高速動作が可能なスイッチングレギュレータを実現することができる。

明 細 書

スイッチングレギュレータ

技術分野

[0001] 本発明は、スイッチングレギュレータに関する。

背景技術

[0002] 従来のスイッチングレギュレータは、エラーアンプが基準電圧とスイッチングレギュレータの出力電圧に基づく電圧との誤差を増幅し、PWMコンパレータが前記エラーアンプの出力電圧と三角波とを比較してPWM信号を作成し、そのPWM信号に基づいてDC-DCコンバータ内のスイッチング素子をオン／オフ制御する構成が一般的であった(例えば、特許文献1参照)。しかしながら、このような構成のスイッチングレギュレータでは、帰還部分に設けられているエラーアンプが増幅動作をするため、高速動作を行うことができなかった。

[0003] 高速動作が可能なスイッチングレギュレータとして、カレントモード制御スイッチングレギュレータが挙げられる。カレントモード制御スイッチングレギュレータとは、基準電圧とスイッチングレギュレータの出力電圧に基づく電圧との差に応じてオフセットされる可変電圧と、スイッチングレギュレータの出力電流に応じた電圧とを比較し、その比較結果に応じたデューティのパルス信号を生成し、そのパルス信号に基づいてDC-DCコンバータ内のスイッチング素子をオン／オフ制御するスイッチングレギュレータである(例えば、特許文献2参照)。

特許文献1:特開2003-219638号公報(第1図)

特許文献2:特開2003-319643号公報(第1図)

発明の開示

発明が解決しようとする課題

[0004] しかしながら、カレントモード制御スイッチングレギュレータでは、基準電圧とスイッチングレギュレータの出力電圧に基づく電圧との差に応じてオフセットされる可変電圧を生成するための帰還がかかるために、ある一定以上の高速動作が困難である。例えば、特許文献2で開示されているカレントモード制御スイッチングレギュレータで

は、トランスコンダクタンスアンプ (gmアンプ) が基準電圧とスイッチングレギュレータの出力電圧との差に応じて可変電圧のオフセットを行っており、前記gmアンプがスイッチングレギュレータの出力電圧に応じた増幅動作を行うため、ある一定以上の高速動作を行うことが困難であった。

- [0005] 本発明は、上記の問題点に鑑み、スイッチングレギュレータの高速動作を可能とするスイッチングレギュレータ用制御信号生成回路及び高速動作が可能なスイッチングレギュレータを提供することを目的とする。

課題を解決するための手段

- [0006] 上記目的を達成するために本発明に係るスイッチングレギュレータ用制御信号生成回路は、スイッチングレギュレータの出力電圧に基づく電圧と基準電圧とを比較する比較器と、前記比較器の出力によってセットされるフリップフロップと、前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過すると前記フリップフロップをリセットするパルス制御回路と、を備え、前記フリップフロップの出力パルスをスイッチ素子の制御信号として出力する。
- [0007] このような構成のスイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータでは、帰還部分がスイッチングレギュレータの出力電圧に基づく電圧と基準電圧との比較動作を行うようにすることができ、高速動作が可能となる。
- [0008] また、上記構成のスイッチングレギュレータ用制御信号生成回路において、前記パルス制御回路が、前記フリップフロップの出力パルスが立ち上がってからの経過時間及び前記スイッチングレギュレータの入力電圧に応じた電圧 (参照電圧) と第2の基準電圧とを比較するオン期間設定用比較器を有し、前記オン期間設定用比較器の出力によって前記フリップフロップをリセットすることによってオン期間を設定するようにしてもよい。
- [0009] これにより、パルス制御回路において、参照電圧と第2の基準電圧との比較動作が行われる。したがって、当該スイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータでは、帰還部分がスイッチングレギュレータの出力電圧に基づく電圧と基準電圧との比較動作及び参照電圧と第2の基準電圧との比較動作を

主に行うので、高速動作が可能となる。

- [0010] また、上記いずれかの構成のスイッチングレギュレータ用制御信号生成回路において、最大オン期間を設定し、前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過すると前記フリップフロップをリセットする最大オン期間制御回路を更に備え、前記フリップフロップの出力パルスのオン期間を前記最大オン期間以下に制限するようにしてもよい。
- [0011] このような構成によると、フリップフロップの出力パルスのオン期間を最大オン期間以下に制限するので、スイッチングレギュレータ用制御信号生成回路から出力される制御信号のONデューティが、当該スイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータの動作が不安定になるレベルに達することはない。これにより、スイッチングレギュレータ用制御信号生成回路から出力される制御信号のONデューティが100%付近での当該スイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータの動作を安定化することができる。
- [0012] また、最大オン期間制御回路を備えた上記構成のスイッチングレギュレータ用制御信号生成回路において、前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過した時点において前記スイッチングレギュレータの出力電圧に基づく電圧が前記基準電圧より小さい場合に前記パルス制御回路の出力によって前記フリップフロップがリセットされるのを防止するリセット防止部を更に備えるようにしてもよい。
- [0013] このような構成によると、スイッチングレギュレータの出力電圧がドロップしたときにパルス制御回路の出力によってフリップフロップがリセットされるのを防止するので、スイッチングレギュレータの出力電圧が所定値に復帰するまでにかかる時間を短くすることができる。
- [0014] また、リセット防止部を備えた上記構成のスイッチングレギュレータ用制御信号生成回路において、前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過した時点から所定の期間が経過するまで前記比較器の出力によって前記フリップフロップがセットされるのを防止するセット防止部を更に備えるようにしてもよい。

- [0015] このような構成によると、スイッチングレギュレータの出力電圧がドロップしている場合でも、フリップフロップの出力パルスが立ち上がってから最大オン期間が経過した時点から所定の期間が経過するまで比較器の出力によってフリップフロップがセットされないので、スイッチングレギュレータ用制御信号生成回路から出力される制御信号のONデューティが、当該スイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータの動作が不安定になるレベルに達することはない。これにより、スイッチングレギュレータ用制御信号生成回路から出力される制御信号のONデューティが100%付近での当該スイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータの動作を安定化することができる。
- [0016] 上記目的を達成するために本発明に係るスイッチングレギュレータは、該DC-DCコンバータと、前記DC-DCコンバータの出力電圧に応じた制御信号を生成する制御信号生成回路と、前記制御信号に基づいて前記DC-DCコンバータ内のスイッチング素子を駆動するドライバ回路と、を備え、前記制御信号生成回路を上記いずれかの構成のスイッチングレギュレータ用制御信号生成回路としている。このような構成によると、高速動作が可能になる。そして、高速動作により、例えば大電流化に対応することができる。
- [0017] また、上記構成のスイッチングレギュレータにおいて、前記比較器と前記DC-DCコンバータが具備する出力コンデンサとの間に抵抗を設けてもよく、前記基準電圧を前記フリップフロップの出力パルスに応じて変動する電圧とし、前記基準電圧と前記スイッチングレギュレータの出力電圧とが略逆位相になるようにしてもよい。
- [0018] 前者の構成によると、出力コンデンサに等価直列抵抗の小さいコンデンサ(例えばセラミックコンデンサ等)を用いた場合でもスイッチングレギュレータの出力電圧のリプル電圧を大きくすることができる。これにより、出力コンデンサに等価直列抵抗の小さいコンデンサ(例えばセラミックコンデンサ等)を用いた場合でも比較器における切り替わり遅れ時間の増加を抑えることができ、スイッチングレギュレータの動作を安定化することができる。また、後者の構成によると、出力コンデンサに等価直列抵抗の小さいコンデンサ(例えばセラミックコンデンサ等)を用いた場合でも、スイッチングレギュレータの出力電圧の安定性を悪化させずにスイッチングレギュレータの動作を安

定化することができる。

発明の効果

- [0019] 本発明によると、スイッチングレギュレータの高速動作を可能とするスイッチングレギュレータ用制御信号生成回路及び高速動作が可能なスイッチングレギュレータを実現することができる。

図面の簡単な説明

- [0020] [図1]は、本発明の第一実施形態に係るスイッチングレギュレータの構成を示す図である。
- [図2]は、図1のスイッチングレギュレータが具備する制御信号生成回路の一構成例を示す図である。
- [図3]は、図1に示すスイッチングレギュレータ及び図2に示す制御信号生成回路の各部電圧又は電流のタイムチャートである。
- [図4]は、本発明の第二実施形態に係るスイッチングレギュレータの構成を示す図である。
- [図5]は、図4のスイッチングレギュレータが具備するパルス制御回路の一構成例を示す図である。
- [図6]は、図1又は図4のスイッチングレギュレータにおいて出力コンデンサにESRの小さいコンデンサを用いた場合の各部電圧又は電流のタイムチャートである。
- [図7]は、本発明の第三実施形態に係るスイッチングレギュレータの構成を示す図である。
- [図8]は、本発明の第四実施形態に係るスイッチングレギュレータの構成を示す図である。
- [図9]は、本発明の第五実施形態に係るスイッチングレギュレータの構成を示す図である。
- [図10A]は、図7のスイッチングレギュレータの各部電圧波形を示す図である。
- [図10B]は、図9のスイッチングレギュレータの各部電圧波形を示す図である。
- [図11]は、本発明の第六実施形態に係るスイッチングレギュレータの構成を示す図である。

[図12]は、図11のスイッチングレギュレータの各部電圧波形を示す図である。

符号の説明

- [0021] 1、1'、100、200、300 制御信号生成回路
 2 ドライバ論理回路
 3、4 NMOS
 5 ツェナーダイオード
 6 コンデンサ
 7 コイル
 8 出力コンデンサ
 9、24 抵抗
 10 比較器
 11 基準電圧源
 11a、11b、22 抵抗
 12 フリップフロップ
 13 パルス制御回路
 14 最大オン期間制御回路
 15、17 ORゲート
 16、19 ANDゲート
 18、21 NOTゲート
 20 オフ期間制御回路
 25 電流源

発明を実施するための最良の形態

- [0022] 本発明の一実施形態について図面を参照して以下に説明する。まず、本発明の第一実施形態について説明する。本発明の第一実施形態に係るスイッチングレギュレータの構成を図1に示す。

- [0023] 図1に示すスイッチングレギュレータは、制御信号生成回路1と、ドライバ論理回路2と、Nチャネル型MOSトランジスタ(以下、NMOSあるいはNMOSTランジスタという)3及び4と、ツェナーダイオード5と、コンデンサ6と、コイル7と、出力コンデンサ8とに

よって構成されている。なお、入力電圧 V_{IN} は制御信号生成回路1内の回路の駆動電圧 V_{DD} より大きいものとする。本実施形態では、入力電圧 V_{IN} を+25Vとし、駆動電圧 V_{DD} を+5Vにする。また、本実施形態では、NMOS3及び4と、コイル7と、出力コンデンサとによって構成されるDC-DCコンバータが、入力電圧 V_{IN} を出力電圧 V_O に変換する。したがって、出力電圧 V_O は、図1に示すスイッチングレギュレータの出力電圧でもあり、前記DC-DCコンバータの出力電圧でもある。

[0024] 制御信号生成回路1は出力信号 V_O を入力しパルス信号(制御信号)を生成してドライバ論理回路2へ送出する。ドライバ論理回路2は、制御信号生成回路1から出力されるパルス信号に基づいてNMOS3及び4をオン/オフ制御する。

[0025] NMOS3がオフされてNMOS4が相補的にオンされると、駆動電圧 V_{DD} が印加されている端子からショットキーダイオード5を介してコンデンサ6に充電電流が流れ込み、コンデンサ6の両端電圧は約+5Vになる。その後、NMOS3がオンされてNMOS4が相補的にオフされると、コンデンサ6とNMOS3との接続点の電圧は+25Vとなり、コンデンサ6とショットキーダイオード5との接続点の電圧は約+30Vとなる。そして、コンデンサ6とショットキーダイオード5との接続点に発生する約+30Vが、ドライバ論理回路2に供給される。

[0026] ドライバ論理回路2は、コンデンサ6とショットキーダイオード5との接続点から供給される+30Vを用いて、制御信号生成回路1から出力されるパルス信号を高電位側にレベルシフトし、そのレベルシフトした信号に基づく第1のドライブ信号をNMOS3のゲートに供給するとともに、制御信号生成回路1から出力されるパルス信号を反転し、その反転した信号に基づく第2のドライブ信号をNMOS4のゲートに供給する。

[0027] また、NMOS3とNMOS4との接続点の電圧は、コイル7と出力コンデンサ8により平滑されて出力電圧 V_O となる。

[0028] 続いて、本発明の特徴部分である制御信号生成回路1について詳細に説明する。制御信号生成回路1は、比較器10と、基準電圧源11と、フリップフロップ12と、パルス制御回路13とによって構成される。

[0029] 比較器10は、出力電圧 V_O と基準電圧源11から出力される基準電圧 V_{REF} とを比較し、その比較出力をセット信号としてフリップフロップ12のセット端子に供給する。また

、パルス制御回路13は、入力電圧 V_{IN} 、基準電圧 V_{REF2} 、及びフリップフロップ12の反転出力を入力し、下記に示す(1)式を満たすように入力電圧 V_{IN} と基準電圧 V_{REF2} の比(V_{REF2}/V_{IN})に応じて制御信号生成回路1から出力されるパルス信号のオン期間 T_{ON} を設定し、制御信号生成回路1から出力されるパルス信号が立ち上がってからオン期間 T_{ON} が経過するとフリップフロップ12をリセットさせる周波数 f の信号をリセット信号としてフリップフロップ12のリセット端子に供給する。そして、フリップフロップ12のパルス出力がドライバ論理回路2に供給される。尚、基準電圧 V_{REF2} はバンドギャップ回路等により設定しても良い。

[数1]

$$T_{ON} = \frac{V_{REF2}}{V_{IN}} \times \frac{1}{f} \quad \dots (1)$$

[0030] 制御信号生成回路1の一構成例を図2に示す。なお、図2において図1と同一の部分には同一の符号を付し詳細な説明を省略する。図2に示す制御信号生成回路1が具備するパルス制御回路13は、入力電圧 V_{IN} を分圧する抵抗 $R1$ 及び $R2$ と、NPN形トランジスタ $Q3$ と、トランジスタ $Q3$ のエミッタ電流が流れる抵抗 $R3$ と、入力電圧 V_{IN} の分圧と抵抗 $R3$ の両端電圧との差を増幅してトランジスタ $Q3$ のベースに供給する高速アンプAMP1と、コンデンサ $C1$ と、PNP形トランジスタ $Q1$ 及び $Q2$ から成りトランジスタ $Q3$ のエミッタ電流と同一値または所定倍の充電電流をコンデンサ $C1$ に供給するカレントミラー回路と、フリップフロップ12の反転出力に応じてコンデンサ $C1$ の充放電を切り替えるNMOSTランジスタ $Q4$ と、基準電圧 V_{REF2} を分圧する抵抗 $R4$ 及び $R5$ と、基準電圧 V_{REF2} の分圧とコンデンサ $C1$ の両端電圧とを比較して比較出力をフリップフロップ12のリセット端子に供給する比較器COM1とによって構成されている。

[0031] 続いて、図1に示すスイッチングレギュレータ及び図2に示す制御信号生成回路の各部電圧又は電流のタイムチャートを図3に示し、図3を参照して図1に示すスイッチングレギュレータ及び図2に示す制御信号生成回路の動作を説明する。

- [0032] フリップフロップ12の出力端子からドライバ論理回路2に供給されるパルス信号 V_Q がLowレベルであるときは、NMOS3がオフでありNMOS4が相補的にオンであるため、コイル7を流れる電流 I_L 及び出力電圧 V_O は徐々に減少する。また、このときフリップフロップ12の反転出力はHighレベルであるので、NMOSTランジスタQ4はオンでありコンデンサC1の両端電圧 V_{C1} は零である。したがって、比較器COM1からフリップフロップ12のリセット端子に供給されるリセット信号 V_R はLowレベルである。
- [0033] そして、出力電圧 V_O が基準電圧 V_{REF} より小さくなると、比較器10からフリップフロップ12のセット端子に供給されるセット信号 V_S がLowレベルからHighレベルに切り替わる。これにより、パルス信号 V_Q がLowレベルからHighレベルに切り替わり、NMOS3がオンになりNMOS4が相補的にオフになるため、出力電圧 V_O が基準電圧 V_{REF} より大きくなる。したがって、セット信号 V_S はすぐにLowレベルに戻る。また、このときフリップフロップ12の反転出力はHighレベルからLowレベルに切り替わるので、NMOSTランジスタQ4はオフになりコンデンサC1に充電電流が供給され始める。
- [0034] その後、フリップフロップ12の出力であるパルス信号 V_Q がHighレベルである間、コイル7を流れる電流 I_L 、出力電圧 V_O 、及びコンデンサC1の両端電圧 V_{C1} は徐々に増加する。
- [0035] そして、コンデンサC1の両端電圧 V_{C1} が閾値 V_{TH} （抵抗R4と抵抗R5の接続点の電圧と同一値）に達すると、リセット信号 V_R がLowレベルからHighレベルに切り替わる。これにより、パルス信号 V_Q がHighレベルからLowレベルに切り替わる。パルス信号 V_Q がLowレベルになると、フリップフロップ12の反転出力がHighレベルになってNMOSTランジスタQ4がオンになりコンデンサC1の両端電圧 V_{C1} が零になるので、リセット信号 V_R はすぐにLowレベルに戻る。
- [0036] 図1に示すスイッチングレギュレータ及び図2に示す制御信号生成回路は、以上のような動作を行うので、パルス信号 V_Q のオン期間 T_{ON} は、コンデンサC1の充電時間と一致する。したがって、パルス信号 V_Q のオン期間 T_{ON} は、下記に示す(2)式で表すことができる。ただし、 C_1 はコンデンサC1の静電容量を示し、 i はコンデンサC1の充電電流値を示し、 $R_1 \sim R_5$ は抵抗R1～R5それぞれの抵抗値を示している。なお、この時の抵抗値の条件は、 $R_1 = R_4$ 、 $R_2 = R_5$ である。

[数2]

$$\begin{aligned}
 T_{ON} &= \frac{C_1 \times V_{TH}}{i} \\
 &= \frac{C_1 \times \frac{R_5}{R_4 + R_5} \times V_{REF2}}{\frac{R_2}{R_1 + R_2} \times V_{IN} \times \frac{1}{R_3}} \\
 &= \frac{V_{REF2}}{V_{IN}} \times C_1 \times R_3 \quad \dots (2)
 \end{aligned}$$

[0037] ここで、降圧形DC-DCコンバータを有するスイッチングレギュレータでは、DC-D
Cコンバータ内のスイッチング素子のオン／オフ制御に用いられるパルス信号のオン
期間 T_{ON} (DC-DCコンバータ内のコイルにエネルギーが蓄えられる期間)は、上述し
た(1)式で表せるので、コンデンサ C_1 の静電容量 C_1 と抵抗 R_3 の抵抗値 R_3 の積が、
パルス信号 V_Q の周波数 f となる。これにより、たとえ入力電圧 V_{IN} の値を変更しても、
制御信号 V_Q の周波数 f を固定することができる。

[0038] 図1に示すスイッチングレギュレータでは、帰還部分が出力電圧 V_O と基準電圧 V_{REF}
との比較動作及び充電電圧 V_{C1} と基準電圧 V_{REF2} との比較動作を主に行うため、高速
動作が可能となる。

[0039] 次に、本発明の第二実施形態について説明する。本発明の第二実施形態に係る
スイッチングレギュレータの構成を図4に示す。なお、図4において図1と同一の部分
には同一の符号を付し詳細な説明を省略する。

[0040] 図4に示すスイッチングレギュレータは、図1に示すスイッチングレギュレータの制御
信号生成回路1を制御信号生成回路1'に置換した構成である。そして、制御信号生
成回路1'は、制御信号生成回路1に最大オン期間制御回路14及びORゲート15を
追加した構成である。パルス制御回路13の出力と最大オン期間制御回路14の出力

がORゲート15に入力され、ORゲート15の出力がリセット信号としてフリップフロップ12のリセット端子に供給される。

[0041] 最大オン期間制御回路14は、フリップフロップ12の反転出力を入力し、制御信号生成回路1'から出力されるパルス信号の最大オン期間 T_{MAX} を設定し、制御信号生成回路1'から出力されるパルス信号が立ち上がってから最大オン期間 T_{MAX} が経過するとフリップフロップ12をリセットさせる信号を出力する。

[0042] ORゲート15により、パルス制御回路13の出力と最大オン期間制御回路14の出力との論理和がリセット信号としてフリップフロップ12のリセット端子に供給されるので、制御信号生成回路1から出力されるパルス信号のオン期間 T_{ON} を最大オン期間 T_{MAX} 以下に制限することができる。

[0043] 制御信号生成回路1'の一構成例を図5に示す。なお、図5において図2と同一の部分には同一の符号を付し詳細な説明を省略する。図5に示す制御信号生成回路1'が具備する最大オン期間制御回路14は、第1基準電圧 V_{REF1} を出力する第1基準電圧源REF1と、NPN形トランジスタQ7と、トランジスタQ7のエミッタ電流が流れる抵抗R6と、第1基準電圧 V_{REF1} と抵抗R6の両端電圧との差を増幅してトランジスタQ7のベースに供給するアンプAMP2と、コンデンサC2と、PNP形トランジスタQ5及びQ6から成りトランジスタQ7のエミッタ電流と同一値または所定倍の充電電流をコンデンサC2に供給するカレントミラー回路と、フリップフロップ12の反転出力に応じてコンデンサC2の充放電を切り替えるNMOSTランジスタQ8と、第2基準電圧 V_{REF3} を出力する第2基準電圧源REF3と、第2基準電圧 V_{REF3} とコンデンサC2の両端電圧とを比較して比較出力をORゲート15の一方の入力端子に供給する比較器COM2とによって構成されている。

[0044] 最大オン期間制御回路14が上記構成であるので、最大オン期間制御回路14が設定する最大オン期間 T_{MAX} は、下記に示す(3)式で表すことができる。ただし、 C_2 はコンデンサC2の静電容量を示し、 R_6 は抵抗R6の抵抗値を示している。

[数3]

$$T_{MAX} = \frac{V_{REF3}}{V_{REF1}} \times C_2 \times R_6 \quad \cdots (3)$$

[0045] 図1に示す本発明の第一実施形態に係るスイッチングレギュレータでは、入力電圧 V_{IN} が小さくなり、制御信号生成回路1から出力されるパルス信号のONデューティが100%に近づくと、ブートストラップ用コンデンサ6の充電時間が十分に確保できないために動作が不安定になる恐れがあるが、上述した図4に示す本発明の第二実施形態に係るスイッチングレギュレータでは、制御信号生成回路1'から出力されるパルス信号のオン期間 T_{ON} を最大オン期間 T_{MAX} 以下に制限することで、ブートストラップ用コンデンサ6の充電時間を確保することができるので、制御信号生成回路1'から出力されるパルス信号のONデューティが100%付近での動作を安定化することができる。

[0046] 次に、本発明の第三実施形態について説明する。上述した図1に示すスイッチングレギュレータ或いは図4に示すスイッチングレギュレータでは、出力電圧 V_O のリップル電圧 ΔV がコイル7を流れる電流 I_L の変動幅 ΔI と出力コンデンサ8の等価直列抵抗(以下、ESRという)との積になるので、出力コンデンサ8にESRの小さいコンデンサ(例えばセラミックコンデンサ等)を用いた場合、図6に示すように出力電圧 V_O のリップル電圧 ΔV が小さくなり過ぎることがある。出力電圧 V_O のリップル電圧 ΔV が小さくなると、出力電圧 V_O の傾きが小さくなり、比較器10における切り替わり遅れ時間(出力電圧 V_O が減少して基準電圧 V_{REF} と一致してから比較器10の出力がHighレベルに切り替わる迄の時間)が大きくなるので、出力電圧 V_O のリップル電圧 ΔV が小さくなり過ぎると動作が不安定になる。

[0047] このような問題点を解消することができる本発明の第三実施形態に係るスイッチングレギュレータの構成を図7に示す。なお、図7において図4と同一の部分には同一の符号を付し詳細な説明を省略する。

[0048] 図7に示すスイッチングレギュレータは、図4に示すスイッチングレギュレータに抵抗

9を新たに設けた構成である。抵抗9の一端はコイル7と比較器10の反転入力端子との接続点に接続され、抵抗9の他端は出力電圧 V_o を送出する端子と出力コンデンサ8との接続点に接続される。このような構成によると、出力電圧 V_o のリプル電圧 ΔV は、出力コンデンサ8のESRと抵抗9の抵抗値との加算値にコイル7を流れる電流 I_L の変動幅 ΔI を乗算した値になるので、出力コンデンサ8にESRの小さいコンデンサ(例えばセラミックコンデンサ等)を用いた場合でも出力電圧 V_o のリプル電圧 ΔV を大きくして、動作を安定化することができる。

[0049] 比較器10の反転入力端子に入力される電圧は、出力電圧 V_o に抵抗9の両端電圧を加えたものになるが出力電圧 V_o と略同一である。このため、本出願ではこのような場合も比較器10の反転入力端子に出力電圧 V_o が入力されているものとみなす。

[0050] また、抵抗9にはスイッチングレギュレータの出力電流が流れるので、抵抗9を出力電流検出用抵抗として用いることができる。

[0051] なお、抵抗9の代わりに、一端がコイル7、比較器10の反転入力端子、及び出力電圧 V_o を送出する端子との接続点に接続され、他端が出力コンデンサ8に接続される抵抗を設けても構わない。当該抵抗は抵抗9と異なり出力電流検出用抵抗として用いることができない。

[0052] 次に、本発明の第四実施形態について説明する。上述した本発明の第一実施形態に係るスイッチングレギュレータは、制御信号生成回路1から出力されるパルス信号のオン期間 T_{ON} が上述した(1)式を満たすように動作するので、出力電圧 V_o がドロップしたときに出力電圧 V_o が所定値に復帰するまでに時間がかかるという問題があった。また、出力電圧 V_o のドロップ幅が大きいほど出力電圧 V_o が所定値に復帰するまでにかかる時間が増大する。

[0053] このような問題点を解消することができる本発明の第四実施形態に係るスイッチングレギュレータの構成を図8に示す。なお、図8において図4と同一の部分には同一の符号を付し詳細な説明を省略する。

[0054] 図8に示すスイッチングレギュレータは、図4に示すスイッチングレギュレータの制御信号生成回路1'を制御信号生成回路100に置換した構成である。そして、制御信号生成回路100は、制御信号生成回路1'にANDゲート16及び19と、ORゲート17

と、NOTゲート18及び21と、オフ期間制御回路20を追加した構成である。なお、フリップフロップ12にはリセット優先のフリップフロップを用いる。

- [0055] 比較器10の出力端子が、ANDゲート16の第1入力端子と、NOTゲート18を介してANDゲート19の第1入力端子とに接続される。ANDゲート16の出力端子がフリップフロップ12のセット端子及びORゲート17の第1入力端子に接続される。フリップフロップ12の出力端子がORゲート17の第2入力端子に接続され、ORゲート17の出力端子がドライバ論理回路2に接続される。
- [0056] また、フリップフロップ12の反転出力端子がパルス制御回路13の入力側及び最大オン期間制御回路14の入力側に接続される。パルス制御回路13の出力側がANDゲート19の第2入力端子に接続され、ANDゲート19の出力端子がORゲート15の第1入力端子に接続される。最大オン期間制御回路14の出力側がORゲート15の第2入力端子に接続される。ORゲート15の出力端子15がフリップフロップ15のリセット端子及びオフ期間制御回路20の入力側に接続される。そして、オフ期間制御回路20の出力側が、NOTゲート21を介してANDゲート16の第2入力端子に接続される。
- [0057] 通常動作時(出力電圧 V_o がドロップしていないとき)において、制御信号生成回路100は、図4に示すスイッチングレギュレータの制御信号生成回路1'と同様のパルス信号を出力する。
- [0058] 続いて、出力電圧 V_o がドロップしたときの制御信号生成回路100の動作について説明する。出力電圧 V_o がドロップしているので、比較器10の出力はHighレベルになり、ANDゲート19の出力はLowレベルになる。また、初期においては最大オン期間が経過していないので、最大オン期間制御回路14の出力はLowレベルになる。これにより、ORゲート15の出力がLowレベルになり、NOTゲートの出力がHighレベルになるので、ANDゲートの出力がHighレベルになり、フリップフロップ12がセットされ、制御信号生成回路100から出力されるパルス信号が立ち上がる。
- [0059] その後、制御信号生成回路100から出力されるパルス信号が立ち上がってからオン期間 T_{ON} が経過してパルス制御回路13の出力がHighレベルになってもANDゲート19の出力はLowレベルのままであるので、フリップフロップ12はリセットされない

。これにより、出力電圧 V_O が所定値に復帰するまでにかかる時間を短くすることができる。

[0060] そして、制御信号生成回路100から出力されるパルス信号が立ち上がってから最大オン期間 T_{MAX} が経過すると、最大オン期間制御回路14の出力はHighレベルになりその後すぐにLowレベルに戻る。これにより、ORゲート15の出力が一時的にHighレベルになるので、フリップフロップ12がリセットされ、制御信号生成回路100から出力されるパルス信号が立ち下がる。

[0061] オフ期間制御回路20は、ORゲート15の出力がHighレベルになってから最小オフ期間 T_{MIN} が経過するまでの間出力をHighレベルにする。これにより、制御信号生成回路100から出力されるパルス信号が立ち上がってから最大オン期間 T_{MAX} が経過した時点から最小オフ期間 T_{MIN} が経過するまでは、ANDゲート16の出力がLowレベルになり、フリップフロップ12がセットされない。したがって、ブートストラップ用コンデンサ6の充電期間を確保することができる。

[0062] 次に、本発明の第五実施形態について説明する。上述した本発明の第三実施形態に係るスイッチングレギュレータは、出力コンデンサ8にESRの小さいコンデンサ(例えばセラミックコンデンサ等)を用いた場合でも動作を安定化することができるが、出力電圧 V_O のリップル電圧が大きくなるので、出力電圧 V_O の安定性が悪化するという問題があった。

[0063] このような問題点を解消することができる本発明の第五実施形態に係るスイッチングレギュレータの構成を図9に示す。なお、図9において図7と同一の部分には同一の符号を付し詳細な説明を省略する。

[0064] 図9に示すスイッチングレギュレータは、図7に示すスイッチングレギュレータの制御信号生成回路1'を制御信号生成回路200に置換するとともに、抵抗9を取り除き、抵抗22を追加した構成である。そして、制御信号生成回路200は、制御信号生成回路1'の基準電圧源11を抵抗11a及び11bに置換した構成である。抵抗11a及び11bから成る直列接続体の一端に定電圧 V_c が印加され、抵抗11a及び11bから成る直列接続体の他端がグランドに接続される。抵抗11aと抵抗11bの接続点に比較器10の非反転入力端子が接続され、抵抗11aと抵抗11bの接続点電圧が基準電圧 V_{REF}

となる。また、抵抗11aと抵抗11bの接続点には抵抗22の一端も接続される。抵抗22の他端はNMOSTランジスタ4のゲートに接続される。

[0065] 図7に示す本発明の第三実施形態に係るスイッチングレギュレータの場合、出力電圧 V_o 、基準電圧 V_{REF} 、及びドライバ論理回路2からNMOSTランジスタ4のゲートに出力されるパルス信号LGの波形は図10Aに示すようになるので、出力電圧 V_o のリップル電圧が大きくなければ、比較器10における比較動作が困難になり、動作が不安定になる。

[0066] 一方、図9に示す本発明の第五実施形態に係るスイッチングレギュレータの場合、出力電圧 V_o 、基準電圧 V_{REF} 、及びドライバ論理回路2からNMOSTランジスタ4のゲートに出力されるパルス信号LGの波形は図10Bに示すようになるので、出力電圧 V_o のリップル電圧が大きくなっても、比較器10における比較動作が容易であり、動作が安定化する。したがって、図9に示す本発明の第五実施形態に係るスイッチングレギュレータは、出力コンデンサ8にESRの小さいコンデンサ（例えばセラミックコンデンサ等）を用いた場合でも、出力電圧 V_o の安定性を悪化させずに動作を安定化することができる。

[0067] なお、図9に示すスイッチングレギュレータでは、抵抗22の他端をNMOSTランジスタ4のゲートに接続したが、本発明はこれに限定されることはなく、例えば抵抗22の他端をフリップフロップ12の反転出力端子に接続しても同様の効果を得ることができる。また、コンデンサ23はノイズ除去を行うために設けている。

[0068] 次に、本発明の第五実施形態に係るスイッチングレギュレータと同様の効果を奏する本発明の第六実施形態に係るスイッチングレギュレータについて説明する。本発明の第六実施形態に係るスイッチングレギュレータの構成を図11に示す。なお、図11において図9と同一の部分には同一の符号を付し詳細な説明を省略する。

[0069] 図11に示すスイッチングレギュレータは、図9に示すスイッチングレギュレータの制御信号生成回路200を制御信号生成回路300に置換するとともに、抵抗22を取り除いた構成である。そして、制御信号生成回路300は、制御信号生成回路200からコンデンサ23を取り除き抵抗24及び電流源25を新たに設けた構成である。抵抗11aと抵抗11bの接続点に抵抗値が R_{24} である抵抗24の一端が接続され、抵抗24の他

端に比較器10の非反転入力端子及び電流源25の一端が接続され、電流源25の他端がグランドに接続され、抵抗24と電流源25の接続点電圧が基準電圧 V_{REF} となる。電流源25は制御信号に応じた電流を出力する電流源であり、本実施形態ではドライバ論理回路2からNMOSトランジスタ3のゲートに出力されるパルス信号を電流源25の制御信号として用いている。

[0070] 図11に示す本発明の第六実施形態に係るスイッチングレギュレータの場合、抵抗11aと抵抗11bの接続点電圧 V_{11} 、ドライバ論理回路2からNMOSトランジスタ3のゲートに出力されるパルス信号HG、出力電圧 V_O 、電流源25の出力電流 I_{25} 、及び基準電圧 V_{REF} ($=V_{11} - R_{24} \times I_{25}$)の波形は図12に示すようになるので、出力電圧 V_O のリップル電圧が大きくなっても、比較器10における比較動作が容易であり、動作が安定化する。したがって、図11に示す本発明の第六実施形態に係るスイッチングレギュレータは、出力コンデンサ8にESRの小さいコンデンサ(例えばセラミックコンデンサ等)を用いた場合でも、出力電圧 V_O の安定性を悪化させずに動作を安定化することができる。

[0071] なお、図11に示すスイッチングレギュレータでは、ドライバ論理回路2からNMOSトランジスタ3のゲートに出力されるパルス信号HGを電流源25の制御信号として用いているが、本発明はこれに限定されることはなく、例えばフリップフロップ12の出力端子から出力される信号を電流源25の制御信号として用いても同様の効果を得ることができる。

[0072] 上述した第一実施形態～第六実施形態では、ブートストラップ方式のDC/DCコンバータを有するスイッチングレギュレータについて説明したが、当然の事ながら本発明は他の構成のDC/DCコンバータを有するスイッチングレギュレータにも適用することができる。また、本発明では全ての実施例においてツェナーダイオード5及びコンデンサ6を用いているが、昇圧電圧を得る方法としては、これに限定されるものではない。また、オン期間 T_{ON} に影響がないのであれば、比較器10にヒステリシス特性を持たせるようにしても良い。

産業上の利用可能性

[0073] 本発明のスイッチングレギュレータは、電気機器全般に利用することができる。

請求の範囲

- [1] スイッチングレギュレータの出力電圧に基づく電圧と基準電圧とを比較する比較器と、
- 前記比較器の出力によってセットされるフリップフロップと、
- 前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過すると前記フリップフロップをリセットするパルス制御回路と、
- を備え、
- 前記フリップフロップの出力パルスをスイッチ素子の制御信号として出力することを特徴とするスイッチングレギュレータ用制御信号生成回路。
- [2] 前記パルス制御回路が、前記フリップフロップの出力パルスが立ち上がってからの経過時間及び前記スイッチングレギュレータの入力電圧に応じた電圧と第2の基準電圧とを比較するオン期間設定用比較器を有し、前記オン期間設定用比較器の出力によって前記フリップフロップをリセットすることによってオン期間を設定する請求項1に記載のスイッチングレギュレータ用制御信号生成回路。
- [3] 最大オン期間を設定し、前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過すると前記フリップフロップをリセットする最大オン期間制御回路を備え、
- 前記フリップフロップの出力パルスのオン期間を前記最大オン期間以下に制限する請求項1に記載のスイッチングレギュレータ用制御信号生成回路。
- [4] 最大オン期間を設定し、前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過すると前記フリップフロップをリセットする最大オン期間制御回路を備え、
- 前記フリップフロップの出力パルスのオン期間を前記最大オン期間以下に制限する請求項2に記載のスイッチングレギュレータ用制御信号生成回路。
- [5] 前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過した時点において前記スイッチングレギュレータの出力電圧に基づく電圧が前記基準電圧より小さい場合に前記パルス制御回路の出力によって前記フリップフロップがリセットされるのを防止するリセット防止部を備える請求項3に記載のスイッチングレギュレ

ータ用制御信号生成回路。

- [6] 前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過した時点において前記スイッチングレギュレータの出力電圧に基づく電圧が前記基準電圧より小さい場合に前記パルス制御回路の出力によって前記フリップフロップがリセットされるのを防止するリセット防止部を備える請求項4に記載のスイッチングレギュレータ用制御信号生成回路。
- [7] 前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過した時点から所定の期間が経過するまで前記比較器の出力によって前記フリップフロップがセットされるのを防止するセット防止部を備える請求項5に記載のスイッチングレギュレータ用制御信号生成回路。
- [8] 前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過した時点から所定の期間が経過するまで前記比較器の出力によって前記フリップフロップがセットされるのを防止するセット防止部を備える請求項6に記載のスイッチングレギュレータ用制御信号生成回路。
- [9] DC-DCコンバータと、該DC-DCコンバータの出力電圧に応じた制御信号を生成する制御信号生成回路と、前記制御信号に基づいて前記DC-DCコンバータ内のスイッチング素子を駆動するドライバ回路と、を備えたスイッチングレギュレータにおいて、
- 前記制御信号生成回路が、
- スイッチングレギュレータの出力電圧に基づく電圧と基準電圧とを比較する比較器と、
- 前記比較器の出力によってセットされるフリップフロップと、
- 前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過すると前記フリップフロップをリセットするパルス制御回路と、
- を備え、
- 前記フリップフロップの出力パルススイッチ素子の制御信号として出力するスイッチングレギュレータ用制御信号生成回路であることを特徴とするスイッチングレギュレータ。

- [10] 前記パルス制御回路が、前記フリップフロップの出力パルスが立ち上がってからの経過時間及び前記スイッチングレギュレータの入力電圧に応じた電圧と第2の基準電圧とを比較するオン期間設定用比較器を有し、前記オン期間設定用比較器の出力によって前記フリップフロップをリセットすることによってオン期間を設定する請求項9に記載のスイッチングレギュレータ。
- [11] 前記スイッチングレギュレータ用制御信号生成回路が、
最大オン期間を設定し、前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過すると前記フリップフロップをリセットする最大オン期間制御回路を備え、
前記フリップフロップの出力パルスのオン期間を前記最大オン期間以下に制限する請求項9に記載のスイッチングレギュレータ。
- [12] 前記スイッチングレギュレータ用制御信号生成回路が、
最大オン期間を設定し、前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過すると前記フリップフロップをリセットする最大オン期間制御回路を備え、
前記フリップフロップの出力パルスのオン期間を前記最大オン期間以下に制限する請求項10に記載のスイッチングレギュレータ。
- [13] 前記スイッチングレギュレータ用制御信号生成回路が、
前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過した時点において前記スイッチングレギュレータの出力電圧に基づく電圧が前記基準電圧より小さい場合に前記パルス制御回路の出力によって前記フリップフロップがリセットされるのを防止するリセット防止部を備える請求項11に記載のスイッチングレギュレータ。
- [14] 前記スイッチングレギュレータ用制御信号生成回路が、
前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過した時点において前記スイッチングレギュレータの出力電圧に基づく電圧が前記基準電圧より小さい場合に前記パルス制御回路の出力によって前記フリップフロップがリセットされるのを防止するリセット防止部を備える請求項12に記載のスイッチングレギュレ

ータ。

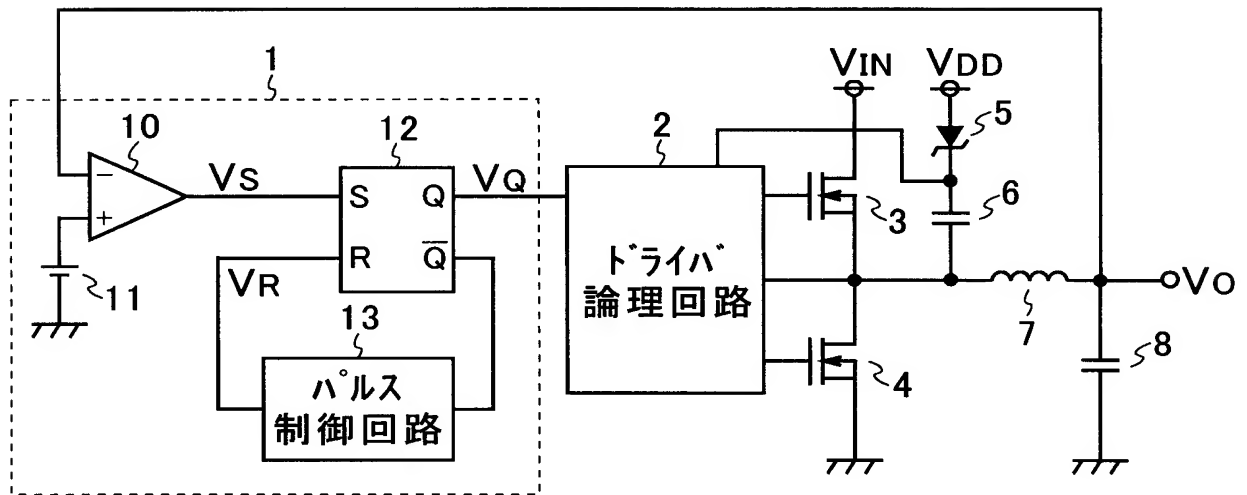
- [15] 前記スイッチングレギュレータ用制御信号生成回路が、
前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過した時点から所定の期間が経過するまで前記比較器の出力によって前記フリップフロップがセットされるのを防止するセット防止部を備える請求項13に記載のスイッチングレギュレータ。
- [16] 前記スイッチングレギュレータ用制御信号生成回路が、
前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過した時点から所定の期間が経過するまで前記比較器の出力によって前記フリップフロップがセットされるのを防止するセット防止部を備える請求項14に記載のスイッチングレギュレータ。
- [17] 前記比較器と前記DC-DCコンバータが具備する出力コンデンサとの間に抵抗を設ける請求項9に記載のスイッチングレギュレータ。
- [18] 前記基準電圧が前記フリップフロップの出力パルスに応じて変動する電圧であって、前記基準電圧と前記スイッチングレギュレータの出力電圧とが略逆位相である請求項9に記載のスイッチングレギュレータ。
- [19] 前記ドライバ回路が前記制御信号の反転信号に基づく信号を出力する出力端を有し、
定電圧源と、前記ドライバ回路が有する前記制御信号の反転信号に基づく信号を出力する出力端に一端が接続され前記定電圧源の出力端に他端が接続される抵抗とを備え、
前記定電圧源と前記抵抗との接続点電圧が前記基準電圧である請求項18に記載のスイッチングレギュレータ。
- [20] 定電圧源と、前記フリップフロップの反転出力端子に一端が接続され前記定電圧源の出力端に他端が接続される抵抗とを備え、
前記定電圧源と前記抵抗との接続点電圧が前記基準電圧である請求項18に記載のスイッチングレギュレータ。
- [21] 定電圧源と、前記制御信号に基づく信号に応じて電流を変化する可変電流源と、

前記定電圧源に一端が接続され前記可変電流源に他端が接続される抵抗とを備え

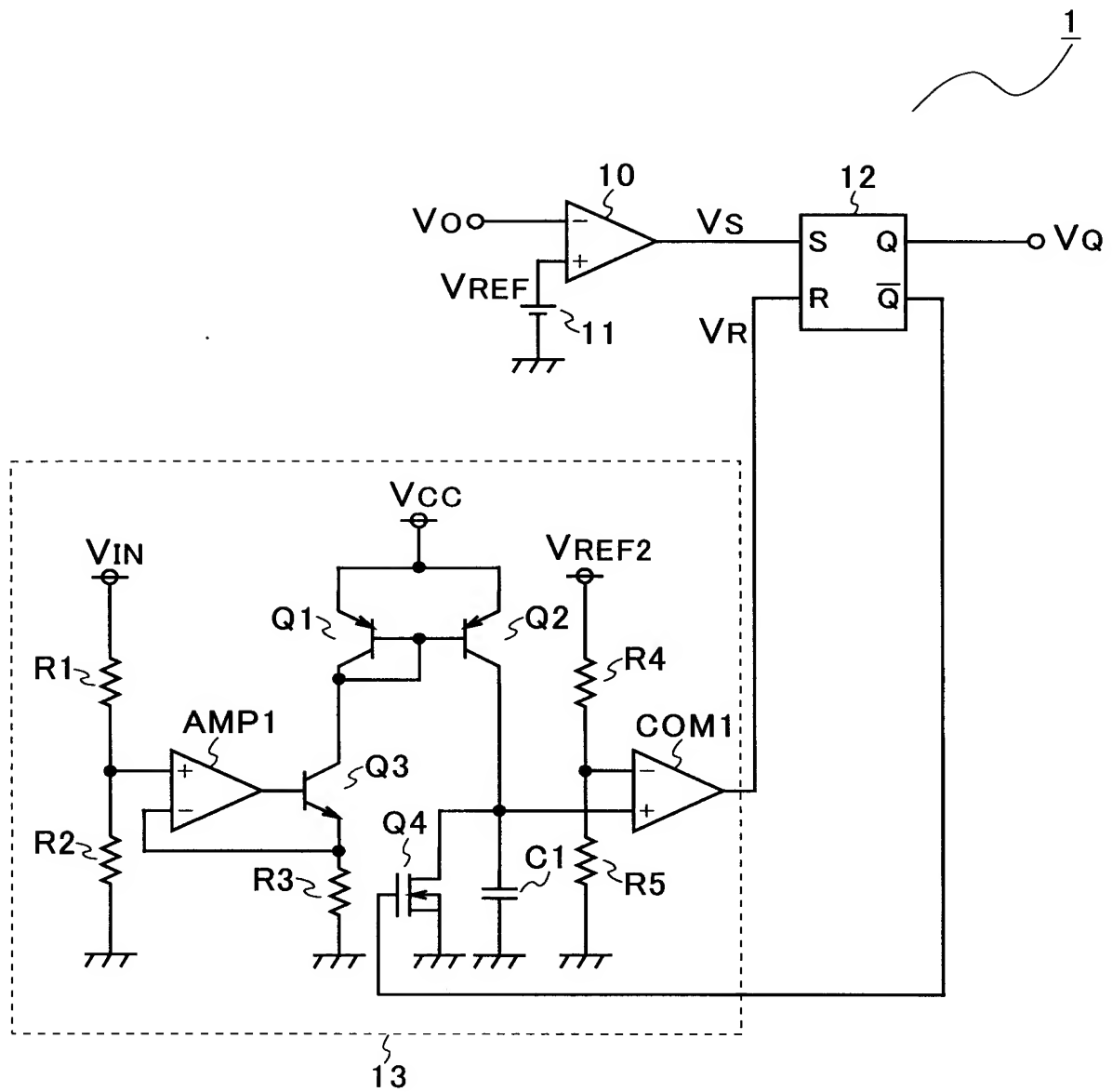
、

前記抵抗と前記可変電流源との接続点電圧が前記基準電圧である請求項18に記載のスイッチングレギュレータ。

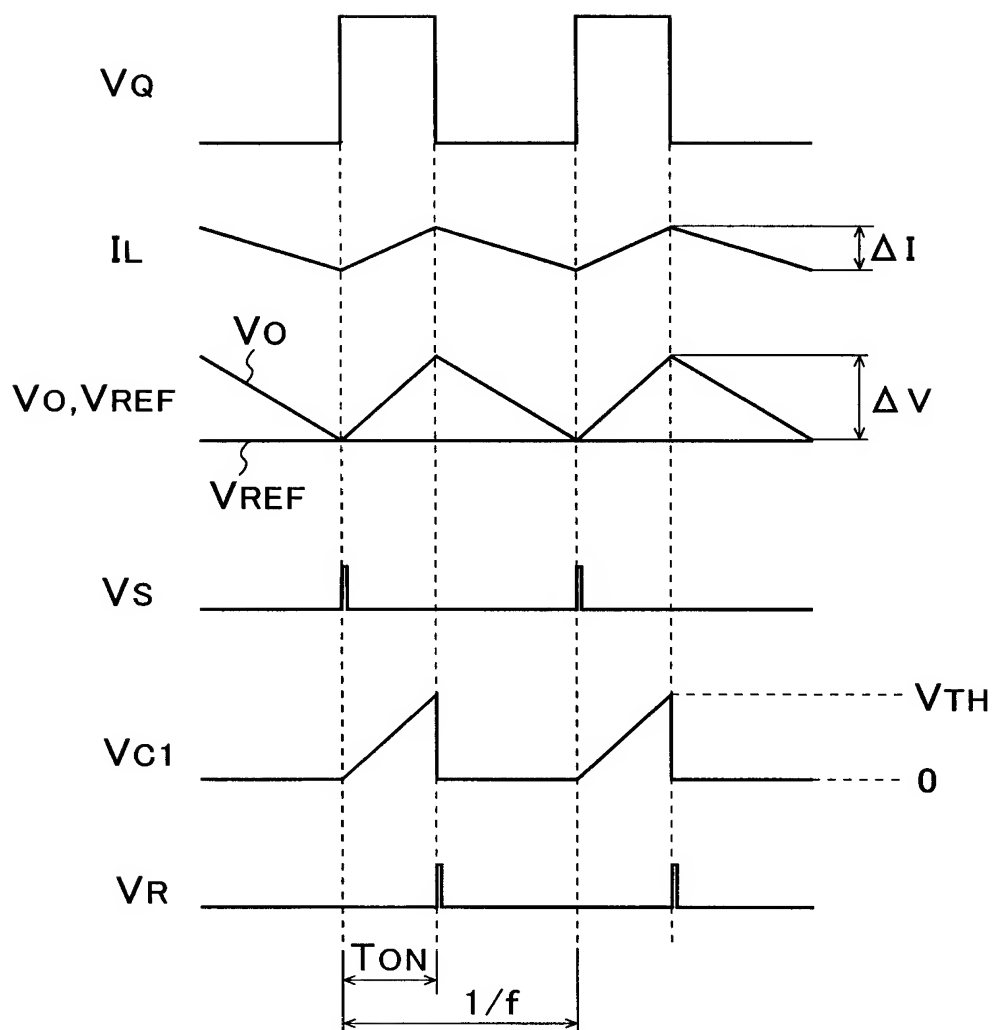
[図1]



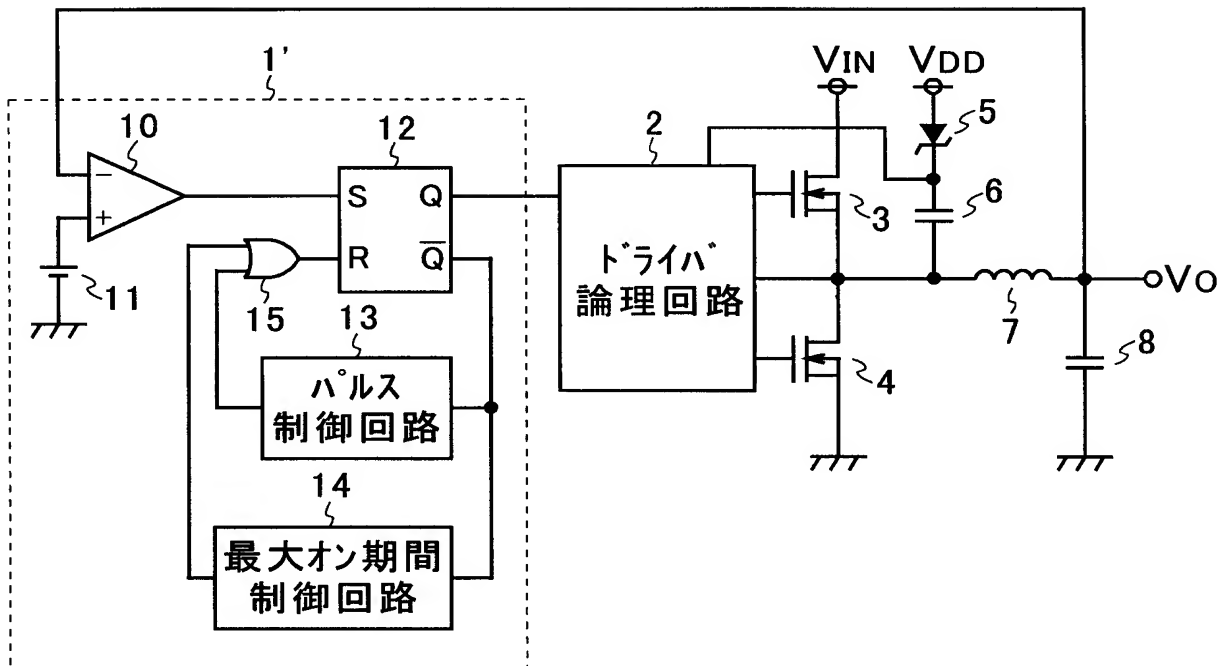
[図2]



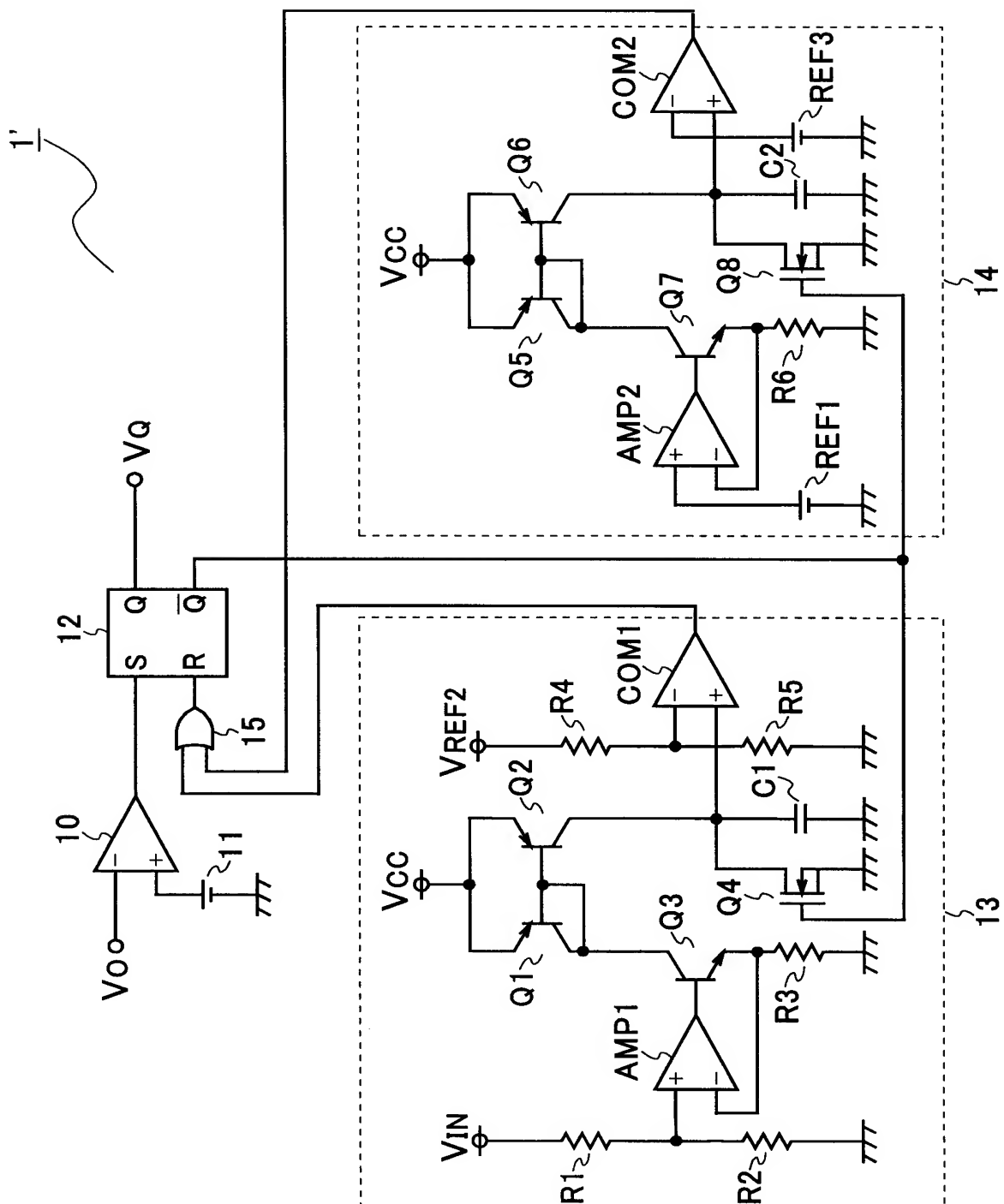
[図3]



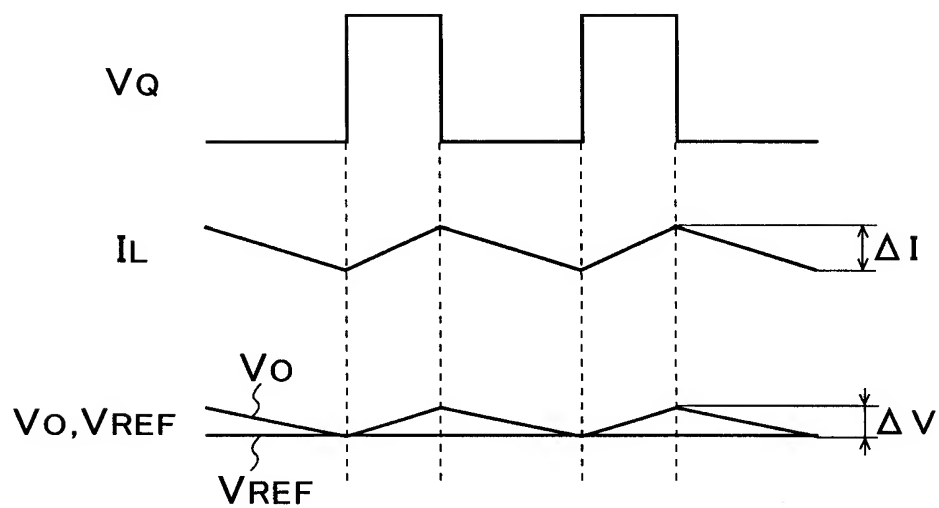
[図4]



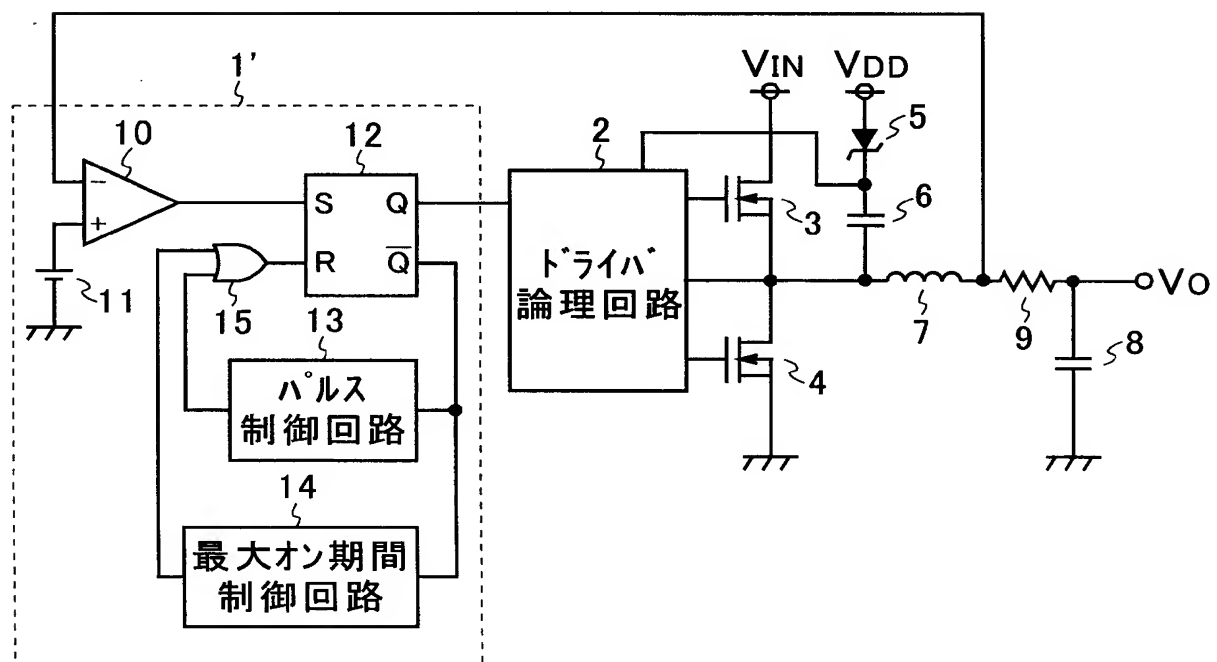
[図5]



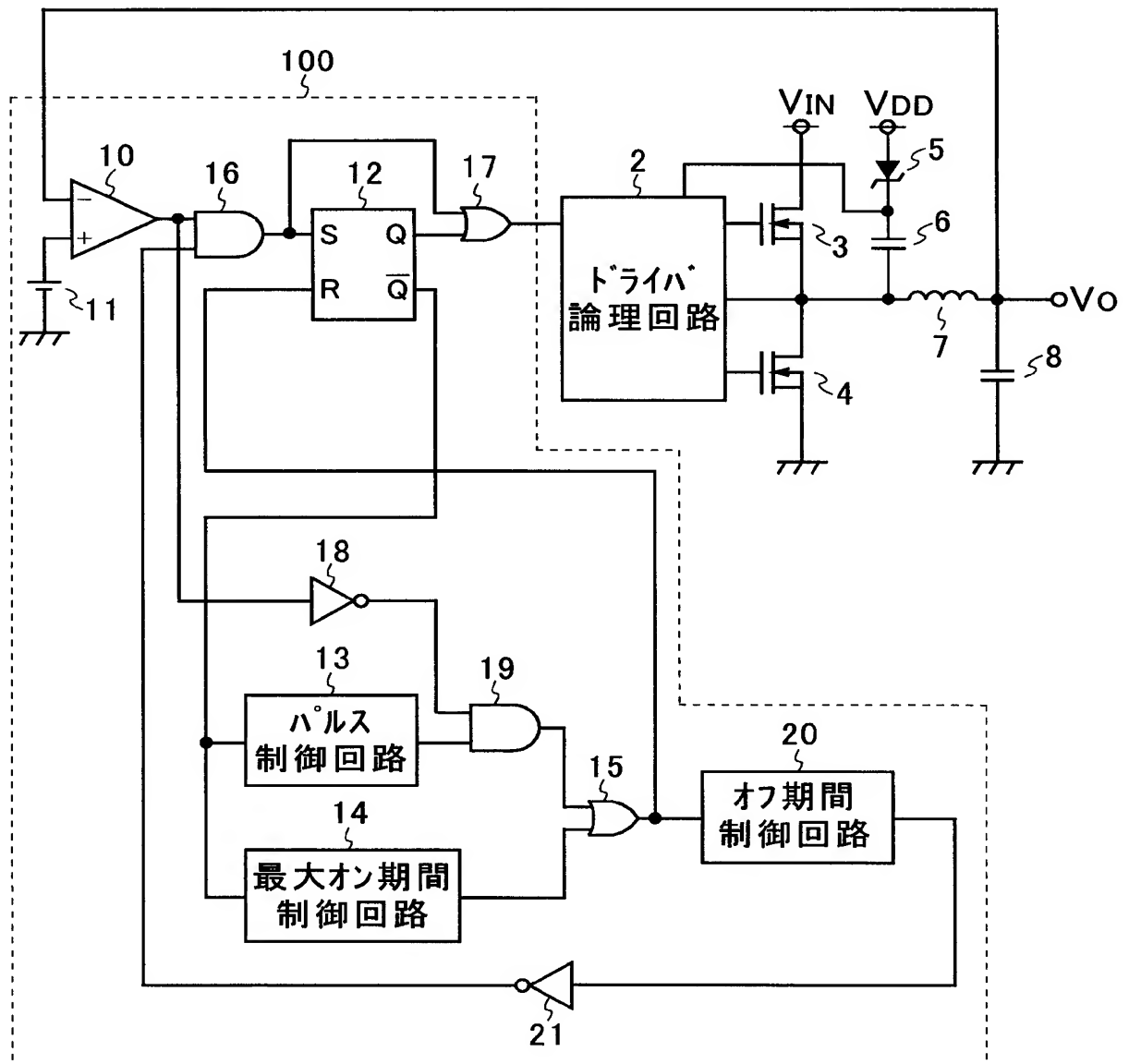
[図6]



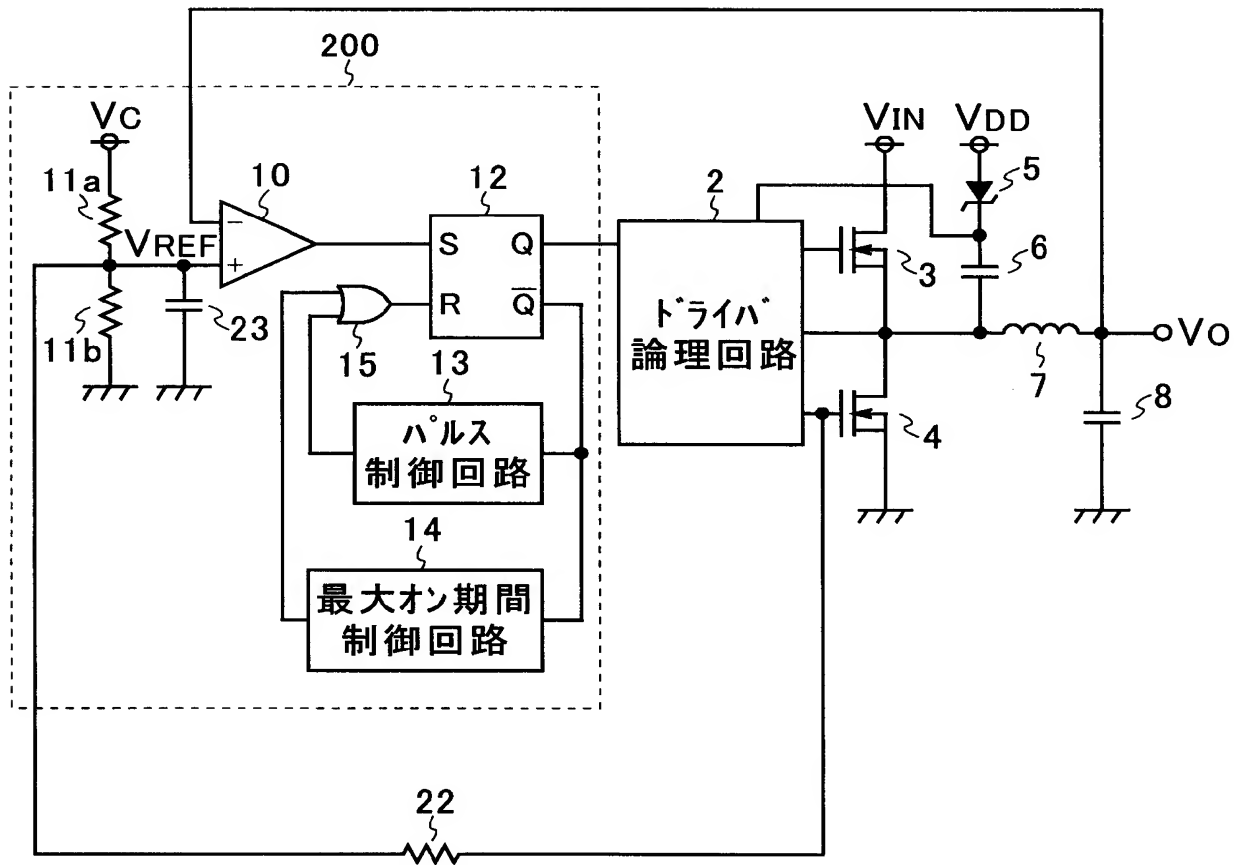
[図7]



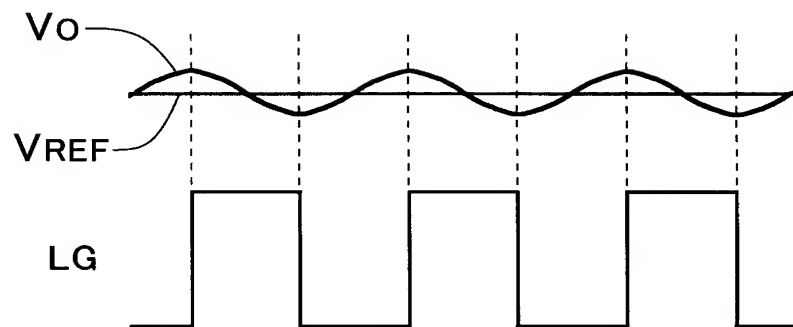
[図8]



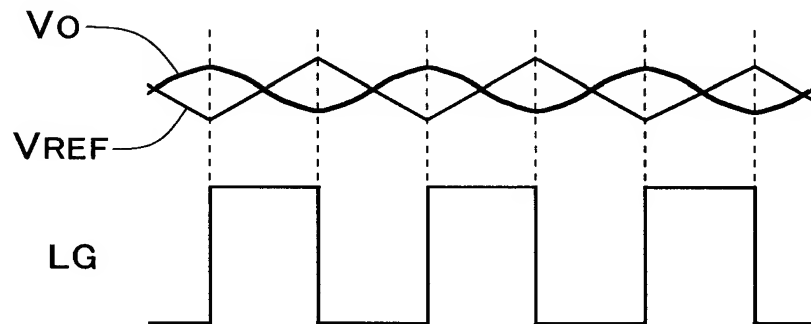
[図9]



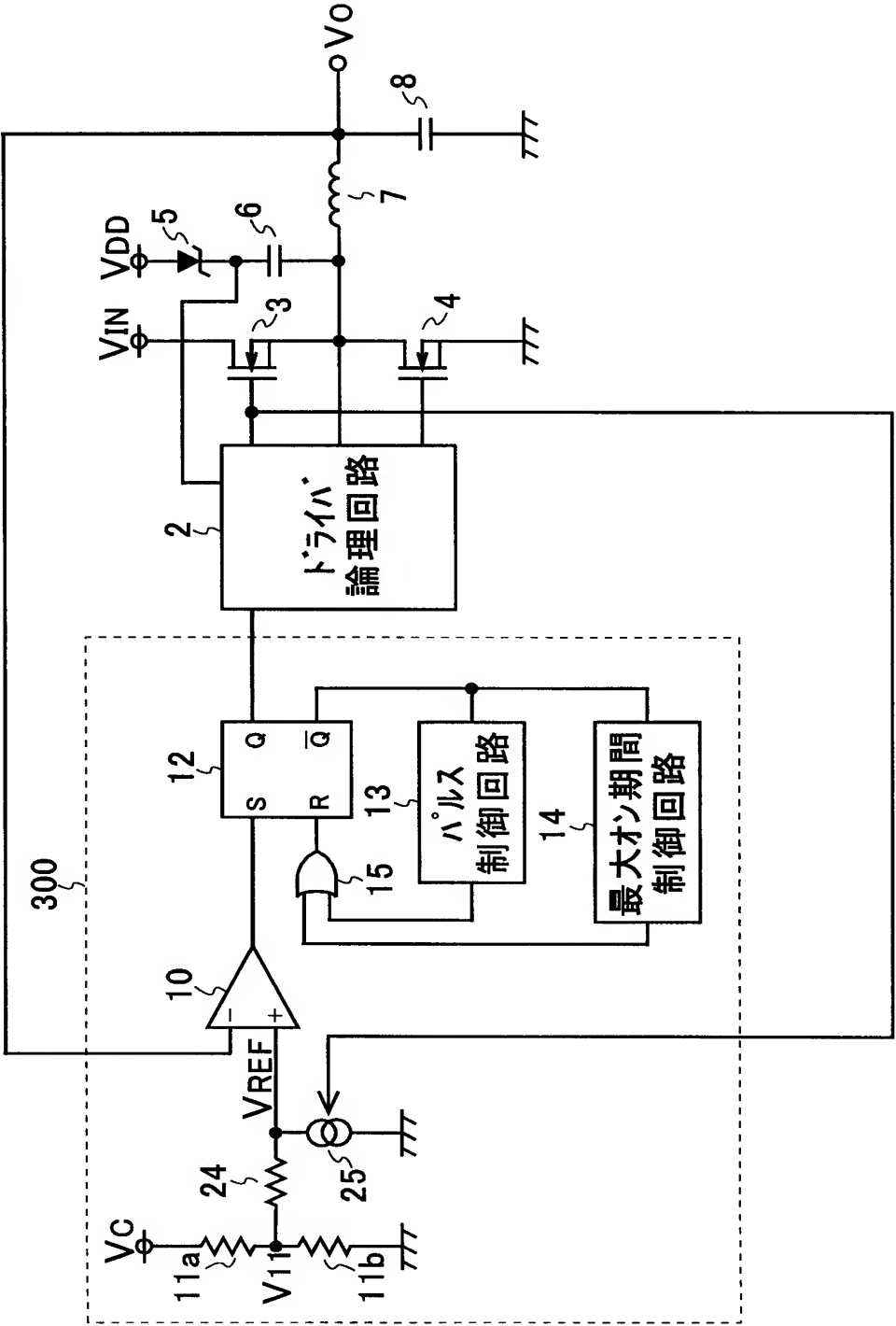
[図10A]



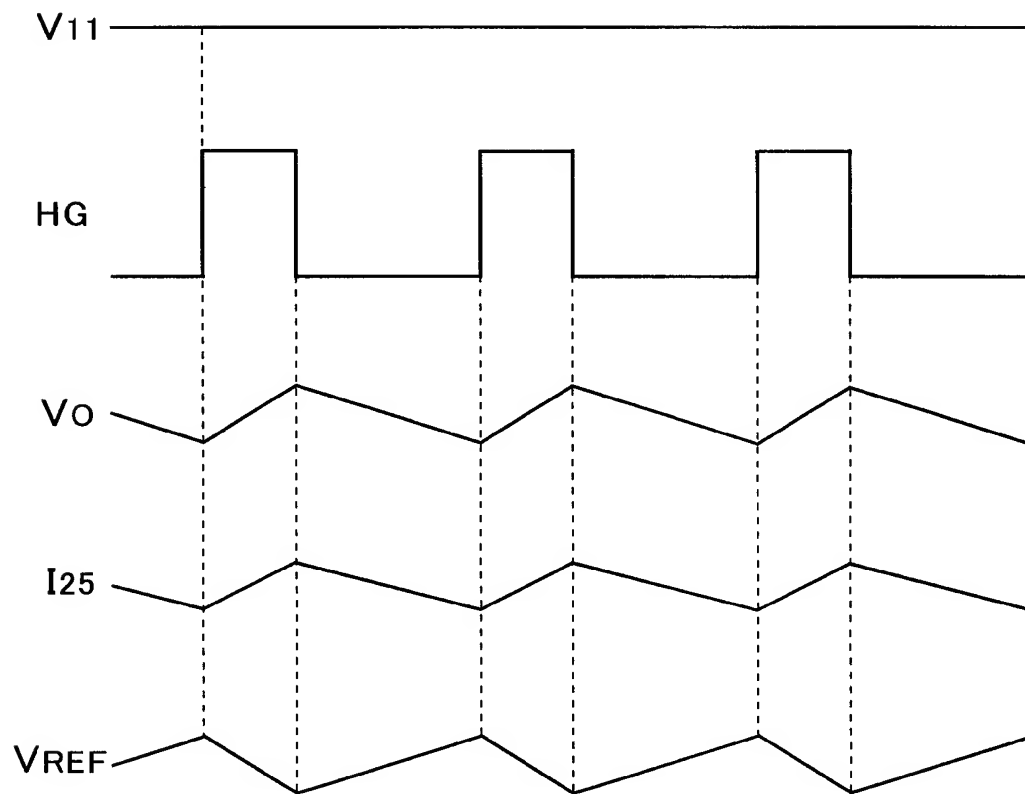
[図10B]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004055

A. CLASSIFICATION OF SUBJECT MATTER
Int .Cl⁷ H02M3/155

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int .Cl⁷ H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-225105 A (Toyoda Automatic Loom Works, Ltd.), 21 August, 1998 (21.08.98), & US 5912552 A	1-21
A	JP 2001-145343 A (Yokogawa Electric Corp.), 25 May, 2001 (25.05.01), & EP 1089420 A1	1-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
09 May, 2005 (09.05.05)Date of mailing of the international search report
24 May, 2005 (24.05.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H02M3/155

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-225105 A (株式会社豊田自動織機製作所) 21.08.1998 & US 5912552 A	1-21
A	JP 2001-145343 A (横河電機株式会社) 25.05.2001 & EP 1089420 A1	1-21

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

09.05.2005

国際調査報告の発送日

24.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川端 修

電話番号 03-3581-1101 内線 3358

3V

8718